

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-061487

(43)Date of publication of application : 04.03.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-227822

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 05.08.1992

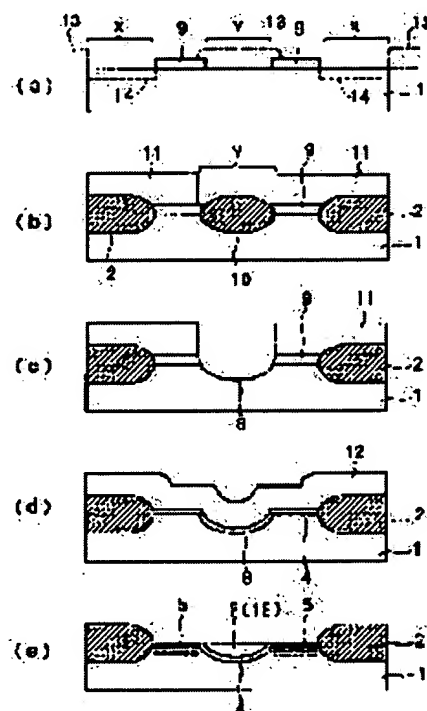
(72)Inventor : YOKOYAMA AKIHIRO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PURPOSE: To provide a semiconductor device which can prevent deterioration phenomenon due to hot carriers and and its manufacturing method without generating the deterioration phenomenon which is peculiar to an LDD structure for fineness and internal voltage increase.

CONSTITUTION: In the semiconductor device, a recessed part 8 of semicylindrical section formed on the surface of a silicon substrate 1 is laid by a polycrystalline silicon layer 12 in a gate electrode. The semiconductor device forms an oxide film 10 at a gate electrode formation region y on the surface of the substrate 1 and then forms the recessed part 8 of semicylindrical section on the substrate 1 by eliminating only the oxide film 10 when forming an inter-element isolating field oxide film 2 in the silicon gate-coplanar method. Then, a gate oxide film 4 and the polycrystalline silicon film 12 formed in sequence are etched back to a specific depth, a gate electrode consisting of the polycrystalline silicon layer 12 where the recessed part 8 is laid is formed, and then impurities are ion-implanted. thus forming a source/drain region 5.



**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-61487

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.<sup>5</sup>

H01L 29/784

識別記号

庁内整理番号

7377-4M

FI

H01L 29/78

技術表示箇所

301 V

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号

特願平4-227822

(22)出願日

平成4年(1992)8月5日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 横山 明弘

神奈川県海老名市本郷2274番地、富士ゼロ

ックス株式会社海老名事業所内

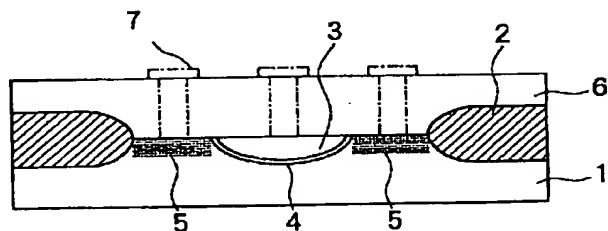
(74)代理人 弁理士 中村 智廣 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 微細化や内部電圧増加に対して、LDD構造特有の劣化現象を発生させることなく、ホットキャリアによる劣化現象を防止することができる半導体装置とその製造方法を提供する。

【構成】 ゲート電極3が、シリコン基板1表面に形成される断面逆かまぼこ形状の凹陷部8を多結晶シリコン層12で埋設した形態のものである半導体装置である。この半導体装置は、シリコンゲートコプラナ法における素子間分離用フィールド酸化膜2を形成する際に同時に、基板1表面のゲート電極形成領域yに酸化膜10を形成した後、その酸化膜10のみを除去して基板1に断面逆かまぼこ形状の凹陷部8を形成せしめ、次いで、順次形成したゲート酸化膜4及び多結晶シリコン膜12を所定位置までエッチバックして凹陷部8を埋設する多結晶シリコン層12からなるゲート電極3を形成し、しかる後、不純物のイオン注入を行ってソース/ドレイン領域5を形成することにより製造される。



- 1: シリコン基板
- 2: フィールド酸化膜
- 3: ゲート電極
- 4: ゲート酸化膜
- 5: ソース/ドレイン領域

1

## 【特許請求の範囲】

【請求項 1】 ゲート電極が、シリコン基板表面に形成される断面逆かまぼこ形状の凹陷部を多結晶シリコン層で埋設した形態のものであることを特徴とする半導体装置。

【請求項 2】 シリコンゲートコプラナ法における素子間分離用フィールド酸化膜を形成する際に、シリコン基板表面のゲード電極形成領域に酸化膜を同時に形成した後、そのゲート電極形成領域の酸化膜のみを除去して基板表面に断面逆かまぼこ形状の凹陷部を形成せしめ、次いで、ゲート酸化膜及び多結晶シリコン膜を順次形成した後、ゲート電極形成領域以外における基板上のゲート酸化膜が除去されるまでエッチバックして上記凹陷部を埋設する多結晶シリコン層からなるゲート電極を形成し、しかる後、不純物のイオン注入を行ってソース／ドレイン領域を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、特有の形態からなるゲート電極を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 近年、半導体装置においては、デザイン・ルールの微細化に伴って内部電界が強まる傾向があり、そのためホットキャリアにより経時的に電流が流れにくくなるという劣化現象（ホットエレクトロン効果）が引き起こされている。このホットキャリアによる劣化現象は、デバイスのスケーリングに際して、そのスケーリング限界を定める 1 つの要因となっている。かかる劣化現象を抑制するためには、ドレイン近傍の電界を低下させることが必要とされており、この有効な具体的手段として、ゲート電極端のドレインとソース近傍に不純物濃度の低い領域を設けた LDD (Lightly Doped Drain) 構造が使用されている。

## 【0003】

【発明が解決しようとする課題】 しかしながら、LDD 構造からなる半導体装置においては、そのサイドウォール酸化膜中に、生成したホットエレクトロンが注入されて  $n^-$  領域が空乏化し、さらに抵抗が増加するという LDD 構造特有の劣化現象が発生する問題があった。

【0004】 本発明は、このような問題点を解決するためになされたもので、上記 LDD 構造特有の劣化現象を発生させることなく、ホットキャリアによる劣化現象を防止することができる半導体装置とその製造方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明の半導体装置は、ゲート電極が、シリコン基板表面に形成される断面逆かまぼこ形状の凹陷部を多結晶シリコン層で埋設した形態

2

のものであることを特徴とするものである。

【0006】 また、本発明の製造方法は、シリコンゲートコプラナ法における素子間分離用フィールド酸化膜を形成する際に、シリコン基板表面のゲード電極形成領域に酸化膜を同時に形成した後、そのゲート電極形成領域の酸化膜のみを除去して基板表面に断面逆かまぼこ形状の凹陷部を形成せしめ、次いで、ゲート酸化膜及び多結晶シリコン膜を順次積層形成した後、ゲート電極形成領域以外における基板上のゲート酸化膜が除去されるまでエッチバックして上記凹陷部を埋設する多結晶シリコン層からなるゲート電極を形成し、しかる後、不純物のイオン注入を行ってソース／ドレイン領域を形成することを特徴とするものである。

【0007】 上記装置に係る技術的手段において、シリコン基板表面の凹陷部は、その断面が逆かまぼこ形状であることが重要である。これは、その凹陷部を埋設するように形成されるゲート電極の少なくともエッジ部が、その端部方向に向けて徐々に層厚が薄くなるような形態となるようにするためである。

【0008】 また、上記製造方法に係る技術的手段において、シリコンゲートコプラナ法は、LOCOS (local oxidation of silicon) 法とも称されるものである。このコプラナ法における素子間分離用フィールド酸化膜の形成は、シリコン基板表面に薄い酸化膜を形成すると共に、その上にシリコン窒化膜を形成した後、パターニングして素子領域内のシリコン窒化膜のみを残し、次いで、不純物のイオン注入によりフィールド反転防止領域を形成した後、熱酸化してシリコン窒化膜がない領域に酸化膜を形成することによって行われる。

【0009】 上記の製造手段では、ここで、ゲード電極形成領域に相当するシリコン窒化膜部分についてもパターニングして除去しておくことにより、上記フィールド酸化膜と同時に、シリコン基板のゲード電極形成領域にも酸化膜を形成する。そして、そのゲード電極形成領域に形成した酸化膜をエッチング手段等にて除去することにより、ゲート電極を形成すべき、断面が逆かまぼこ形状の凹陷部を基板表面に形成するものである。

## 【0010】

【作用】 ゲート電極が、シリコン基板表面に形成される断面逆かまぼこ形状の凹陷部を埋設するように設けた形態のものであるため、このようなゲート電極の両側（基板表面）に不純物のイオン注入によりソース／ドレイン領域を形成すると、ゲート電極エッジ近傍において LDD 構造と同様の不純物濃度分布を持ったソース／ドレイン領域の接合端部が形成される。この接合端部により、ドレイン近傍の電界を低下させることができるため、ホットキャリアによる劣化現象が防止される。

## 【0011】

【実施例】 以下、本発明の実施例を図面に基づいて説明

3

する。図1は、本発明の半導体装置の一実施例を示す概略断面図である。図中、1はシリコン基板、2はフィールド酸化膜、3はゲート電極、4はゲート酸化膜、5はソース/ドレイン領域、6は層間絶縁膜、7は配線電極層を示す。この半導体装置におけるゲート電極3は、図2に示すように基板1表面に形成される断面が逆かまぼこ形状の凹陷部8を多結晶シリコン層で埋設した形態をなしている。

【0012】このような半導体装置は次のようにして製造される。図3a~eはその製造方法の一実施例を示す各工程図である。

【0013】まず、LOCOS法におけるフィールド酸化膜の形成工程に準じ、基板表面の素子間領域にフィールド酸化膜を形成すると共に、そのゲート酸化膜形成領域に酸化膜を形成する。すなわち、シリコン基板1の表面に不図示の酸化膜を形成してから窒化膜9を形成し、次いで、適宜パターン加工手段により素子間領域xとゲート電極形成領域yの窒化膜9部分を除去する(図3a)。次に、ここで、チャネルストッパインプラのレジストマスクパターン13を図3aに示すような領域に形成した後、不純物を導入することにより、点線で示すチャネルストッパ14を形成しておく(なお、これ以降におけるチャネルストッパの図示は省略する)。しかる後、熱酸化処理することにより、最大膜厚部の膜厚が7000オングストロームのフィールド酸化膜2と酸化膜10とが同時に形成される(図3b)。

【0014】次いで、図3bに示すように、ゲート電極形成領域yを除く部分にレジスト11を形成した後、弗酸水溶液によるエッチング処理を施す。これにより、酸化膜10が除去され、図3cに示すように基板1のゲート電極形成領域yに深さが3500オングストローム程度の凹陷部8が形成される。この凹陷部8は、除去された酸化膜10に対応した形状のものであり、基板における断面形状が図示の如き逆かまぼこ形状をなしている。

【0015】次いで、不要になったレジスト11及び窒化膜9を適宜エッチング手段等により除去した後、熱酸化やCVD法等の常套手段により1000オングストローム厚のゲート酸化膜4及び4000オングストローム厚の多結晶シリコン層12をこの順で形成し、そのあとで多結晶シリコン層12中に燐(P)を導入する(図3d)。

【0016】しかる後、リアクティブイオンエッチングにより、ゲート電極形成領域y以外における基板1上のゲート酸化膜4が除去されるまでレジストエッチバックする。この時のエッチング条件は上記のエッチバックが達成されるように適宜設定されるが、本実施例においてはガス流量:  $Cl_2 = 25 \text{ sccm}$ 、 $HCl = 120 \text{ sccm}$ 、圧力:  $0.2 \text{ Torr}$ 、パワー:  $300 \text{ W}$ の条件にてエッチバックを行った。このエッチバックにより、図3eに示すように、基板1表面に形成された凹陷

4

部8を埋設するように残存した多結晶シリコン膜12からなるゲート電極2が形成される。

【0017】そして、この状態で、所定の不純物をイオン注入してアニール処理を行うことにより、ゲート電極2以外の素子領域となる基板表面にソース/ドレイン領域5が形成される(図3e)。このとき、得られたソース/ドレイン領域5のゲート電極2エッジ近傍には、図2に示すように、LDD構造のサイドウォール酸化膜の如き不純物濃度の低いソース/ドレイン領域接合端部5aが形成される。

【0018】最後に、公知の手法にて層間絶縁膜6を形成した後、その層間絶縁膜6の所定箇所にコンタクトホールを形成し、金属材料にて電極層7を形成することにより、図1に示すような半導体装置が得られる。

【0019】

【発明の効果】本発明によれば、ゲート電極を前記したような特有な形態としたことにより、このゲート電極のエッジ部には、LDD構造のようにサイドウォール酸化膜により不純物濃度の低い領域を別途に形成することなしに、該サイドウォール酸化膜により形成される領域と同様の不純物濃度分布を持ったソース/ドレイン領域の接合端部が形成される。このため、微細化や内部電圧増加に対しても、サイドウォール酸化膜にホットエレクトロンが注入されることに起因するLDD構造の劣化現象を発生させることなく、ホットキャリアによる劣化現象を防止することができる。

【0020】また、ゲート電極とソース/ドレイン領域とのオーバーラップ部分が存在する形態をなすため、ゲート電極下のドレイン領域近傍における電界の集中が抑制され、その結果、リークや絶縁破壊が生じにくい。さらに、ゲート電極の下部が湾曲しているため、同一条件のデザインルール(同じゲート電極幅)からなる従来の半導体素子に比べ、実効チャネル長が長くなり、デザインルールの微細化に伴う短チャネル効果による動作特性の劣化が少ない。

【0021】さらに、ゲート電極を基板表層部に完全に埋め込んだ形態からなるため、ゲート電極表面が平坦化され、素子全体が平滑になり、そのため多層配線構造を形成するうえで極めて有益である。

【図面の簡単な説明】

【図1】 本発明の半導体装置の一実施例を示す概略断面図である。

【図2】 図1におけるゲート電極付近の要部拡大断面図である。

【図3】 本発明の製造方法の一実施例を示す各工程図である。

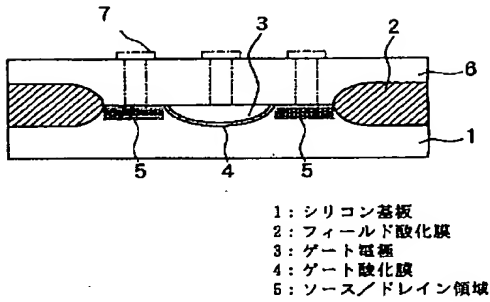
【符号の説明】

1…シリコン基板、2…フィールド酸化膜、3…ゲート電極、4…ゲート酸化膜、5…ソース/ドレイン領域、8…凹陷部、10…酸化膜、12…多結晶シリコン膜、

5

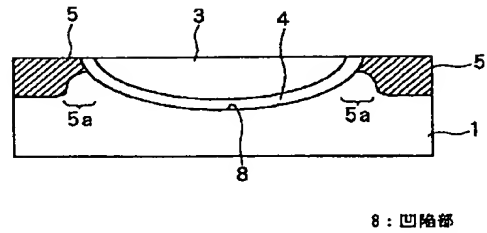
y…ゲート電極形成領域。

【図 1】



6

【図 2】



【図 3】

